

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-290051

(43)Date of publication of application : 04.10.2002

---

(51)Int.Cl. H05K 3/46  
H01L 23/12

---

(21)Application number : 2001-395071

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 26.12.2001

(72)Inventor : ASAHI TOSHIYUKI  
SUGAYA YASUHIRO  
KOMATSU SHINGO  
NAKATANI SEIICHI

---

(30)Priority

Priority number : 2001011656 Priority date : 19.01.2001 Priority country : JP

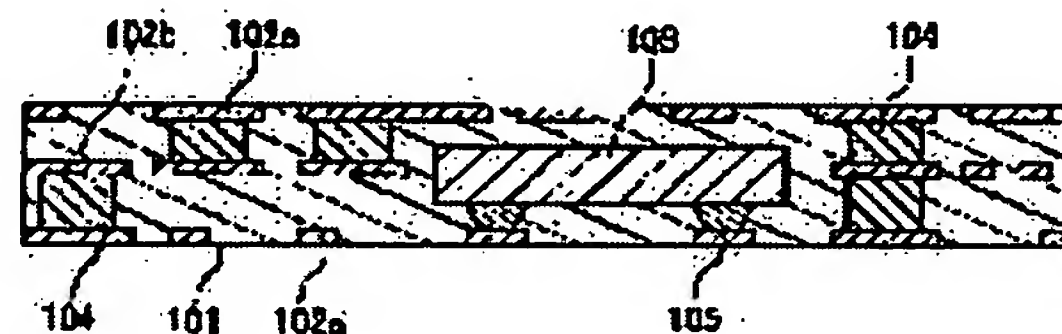
---

(54) MODULE WITH BUILT-IN COMPONENT AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a module with built-in components which has high reliability and is suitable for high density mounting.

SOLUTION: The module has an electric insulating layer 101, a plurality of first wiring patterns 102a and 102b which are laminated through the layer 101, at least one first inner via 104 for electrically connecting between the first wiring patterns provided on different layers, at least one electronic component 103 embedded inside the layer 101 and mounted on the one of the first wiring patterns. At least one of the inner via holes 104 occupies the range overlapping the range occupied by the component 103 in the laminating direction of the wiring patterns 102a and 102b, and its height is lower than that of the component 103 in this direction. Since the inner vias are low in height, the diameter of the via holes can be made to be small. Accordingly, the module with built-in components which has high reliability and is suitable for high density mounting can be provided.



---

LEGAL STATUS

[Date of request for examination] 26.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3553043

***This Page Blank (uspto)***

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2002-290051  
(P2002-290051A)

(43)公開日 平成14年10月4日(2002.10.4)

(51)Int.Cl.<sup>7</sup>

H 0 5 K 3/46

識別記号

F I

H 0 5 K 3/46

キーワード(参考)

Q 5 E 3 4 6

B

N

S

T

審査請求 有 請求項の数28 O L (全 17 頁) 最終頁に続く

(21)出願番号 特願2001-395071(P2001-395071)

(22)出願日 平成13年12月26日(2001.12.26)

(31)優先権主張番号 特願2001-11656(P2001-11656)

(32)優先日 平成13年1月19日(2001.1.19)

(33)優先権主張国 日本(J P)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 朝日 俊行

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 菅谷 康博

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 110000040

特許業務法人池内・佐藤アンドパートナーズ

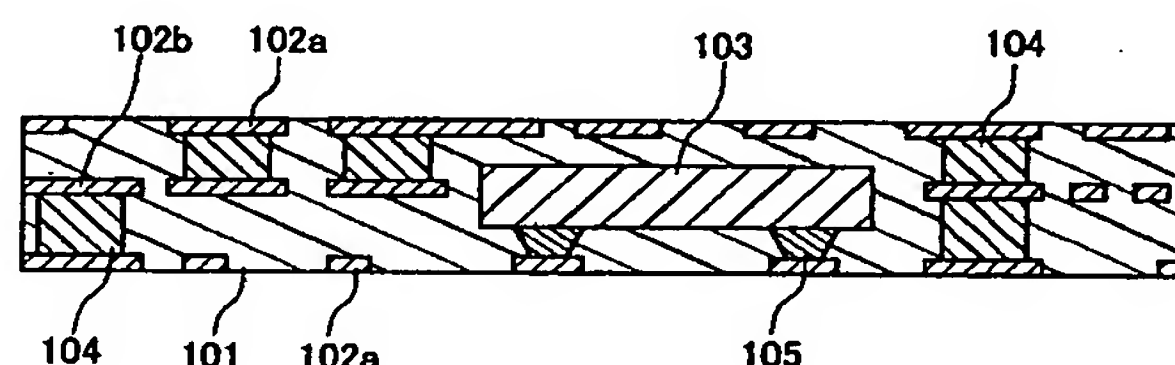
最終頁に続く

(54)【発明の名称】 部品内蔵モジュールとその製造方法

(57)【要約】

【課題】 信頼性が高く高密度実装に適した部品内蔵モジュールを提供する。

【解決手段】 電気絶縁層101と、電気絶縁層101を介して積層された複数層の第一配線パターン102a,102bと、異なる層にある第一配線パターン間を電気接続する少なくとも一つの第一インナービア104と、電気絶縁層101の内部に埋設され、複数層の第一配線パターンのうちのいずれかに実装された少なくとも一つの電子部品103とを有し、第一インナービア104の少なくとも一つは、第一配線パターン102a,102bの積層方向において、電子部品103が占める範囲と重複する範囲を占め、かつ、該方向におけるその高さは電子部品103の高さより低い。第1インナービア104の高さが低いので、ビア径を小さくできる。従って、高信頼性で高密度実装可能な部品内蔵モジュールを提供できる。



## 【特許請求の範囲】

## 【請求項 1】 電気絶縁層と、

前記電気絶縁層を介して積層された複数層の第一配線パターンと、  
異なる層にある前記第一配線パターン間を電気接続する少なくとも一つの第一インナービアと、  
前記電気絶縁層の内部に埋設され、前記複数層の第一配線パターンのうちのいずれかに実装された少なくとも一つの電子部品とを有し、  
前記第一インナービアの少なくとも一つは、前記第一配線パターンの積層方向において、前記電子部品が占める範囲と重複する範囲を占め、かつ、前記方向におけるその高さは前記電子部品の高さより低いことを特徴とする部品内蔵モジュール。

【請求項 2】 少なくとも 2 層の第二配線パターンと、  
異なる層にある前記第二配線パターン間を電気接続するスルーホール及び／または第二インナービアとを備える配線板を更に有し、  
前記配線板は前記電気絶縁層の内部に埋設されており、  
前記複数層の第一配線パターンのうちのいずれかと、前記第二配線パターンとがインナービアで電気接続されていることを特徴とする請求項 1 に記載の部品内蔵モジュール。

【請求項 3】 電気絶縁層と、  
前記電気絶縁層を介して積層された複数層の第一配線パターンと、  
異なる層にある前記第一配線パターン間を電気接続する少なくとも一つの第一インナービアと、  
少なくとも 2 層の第二配線パターンと、異なる層にある前記第二配線パターン間を電気接続するスルーホール及び／または第二インナービアとを備える配線板と、  
前記電気絶縁層の内部に埋設され、前記第二配線パターンのうちのいずれかに実装された少なくとも一つの電子部品とを有し、  
前記第一インナービアの少なくとも一つは、前記第一配線パターンの積層方向において、前記電子部品が占める範囲と重複する範囲を占め、かつ、前記方向におけるその高さは前記電子部品の高さより低いことを特徴とする部品内蔵モジュール。

【請求項 4】 更に、前記複数層の第一配線パターンのうちのいずれかに実装され、かつ、前記電気絶縁層内に埋設されていない少なくとも一つの電子部品を備えることを特徴とする請求項 1 又は 3 に記載の部品内蔵モジュール。

【請求項 5】 前記電気絶縁層がフィラーと絶縁性樹脂とを含む混合物からなることを特徴とする請求項 1 又は 3 に記載の部品内蔵モジュール。

【請求項 6】 前記フィラーが、アルミナ、マグネシア、窒化ホウ素、窒化アルミ、窒化珪素、テトラフルオロエチレン、及び、シリカから選ばれた少なくとも一つ

を含むことを特徴とする請求項 5 に記載の部品内蔵モジュール。

【請求項 7】 前記絶縁性樹脂が、エポキシ樹脂、フェノール樹脂、フッ素樹脂、シアネート樹脂、PTFE 樹脂、PPO 樹脂および、PPE 樹脂から選ばれた少なくとも一つの絶縁性樹脂を含むことを特徴とする請求項 5 に記載の部品内蔵モジュール。

【請求項 8】 前記第一配線パターンが、金属箔、リードフレーム、導電性樹脂組成物の少なくとも一つで形成されていることを特徴とする請求項 1 又は 3 に記載の部品内蔵モジュール。

【請求項 9】 前記電子部品が半導体ベアチップであることを特徴とする請求項 1 又は 3 に記載の部品内蔵モジュール。

【請求項 10】 前記半導体ベアチップがフリップチップボンディングにより実装されていることを特徴とする請求項 9 に記載の部品内蔵モジュール。

【請求項 11】 前記第一インナービアが、導電性粉末と熱硬化性樹脂とを含むペーストからなることを特徴とする請求項 1 又は 3 に記載の部品内蔵モジュール。

【請求項 12】 前記配線板がセラミック基板、ガラスエポキシ基板、又はインナービア接続を有する多層基板で形成されていることを特徴とする請求項 2 又は 3 に記載の部品内蔵モジュール。

【請求項 13】 前記電子部品と接する前記電気絶縁層と、前記第一インナービアと接する前記電気絶縁層とが、一体に形成されている請求項 1 又は 3 に記載の部品内蔵モジュール。

【請求項 14】 前記第一配線パターンの積層方向において、複数の前記電子部品が互いに対向して配置されていることを特徴とする請求項 1 又は 3 に記載の部品内蔵モジュール。

【請求項 15】 前記第一配線パターンは、前記第一インナービアと電気接続されたランド形状部を含むことを特徴とする請求項 1 又は 3 に記載の部品内蔵モジュール。

【請求項 16】 電気絶縁層に第一インナービアを形成する工程と、  
第一配線パターン上に電子部品を実装する工程と、  
前記第一配線パターンの前記電子部品が実装された側の面上に、前記電気絶縁層と、前記第一配線パターンとは別の配線パターンとをこの順に積層して、前記電気絶縁層を介して対向する前記第一配線パターンと前記別の配線パターンとを前記第一インナービアで電気接続する工程とを含み、  
前記積層方向において、前記積層前の前記電気絶縁層の厚さは、前記電子部品の高さより小さいことを特徴とする部品内蔵モジュールの製造方法。

【請求項 17】 前記別の配線パターンが前記電気絶縁層とは別の電気絶縁層の一方の面に形成されており、前



記別の配線パターンは、前記別の電気絶縁層に形成されたインナービアと接続されていることを特徴とする請求項 16 に記載の部品内蔵モジュールの製造方法。

【請求項 18】 前記別の配線パターンがキャリアに担持されており、前記積層後に前記キャリアを剥離することを特徴とする請求項 16 に記載の部品内蔵モジュールの製造方法。

【請求項 19】 前記別の配線パターンが、少なくとも 2 層の第二配線パターンと、異なる層にある前記第二配線パターン間を電気接続するスルーホール及び／または第二インナービアとを備える配線板の表面に露出した前記第二配線パターンであることを特徴とする請求項 16 に記載の部品内蔵モジュールの製造方法。

【請求項 20】 電気絶縁層に第一インナービアを形成する工程と、

少なくとも 2 層の第二配線パターンと、異なる層にある前記第二配線パターン間を電気接続するスルーホール及び／または第二インナービアとを備える配線板を作成する工程と、

前記配線板の表面に露出した前記第二配線パターン上に電子部品を実装する工程と、

前記電子部品が実装された前記第二配線パターン上に、前記電気絶縁層と、第一配線パターンとをこの順に積層して、前記電気絶縁層を介して対向する前記第二配線パターンと前記第一配線パターンとを前記第一インナービアで電気接続する工程とを含み、

前記積層方向において、前記積層前の前記電気絶縁層の厚さは、前記電子部品の高さより小さいことを特徴とする部品内蔵モジュールの製造方法。

【請求項 21】 前記第一配線パターンが前記電気絶縁層とは別の電気絶縁層の一方の面に形成されており、前記第一配線パターンは、前記別の電気絶縁層に形成されたインナービアと接続されていることを特徴とする請求項 20 に記載の部品内蔵モジュールの製造方法。

【請求項 22】 前記第一配線パターンがキャリアに担持されており、前記積層後に前記キャリアを剥離することを特徴とする請求項 20 に記載の部品内蔵モジュールの製造方法。

【請求項 23】 積層前の前記電気絶縁層が、前記電子部品を内蔵するための空孔を備えることを特徴とする請求項 16 又は 20 に記載の部品内蔵モジュールの製造方法。

【請求項 24】 前記電気接続する際に、前記電子部品の少なくとも一部を前記電気絶縁層中に埋設することを特徴とする請求項 16 又は 20 に記載の部品内蔵モジュールの製造方法。

【請求項 25】 前記電気接続する際に、前記電気絶縁層を硬化することを特徴とする請求項 16 又は 20 に記載の部品内蔵モジュールの製造方法。

【請求項 26】 前記電気接続する際に、前記電子部品

の少なくとも一部を前記電気絶縁層中に埋設するとともに、前記電気絶縁層を硬化することを特徴とする請求項 16 又は 20 に記載の部品内蔵モジュールの製造方法。

【請求項 27】 前記積層前の前記電気絶縁層が未硬化状態であることを特徴とする請求項 16 又は 20 に記載の部品内蔵モジュールの製造方法。

【請求項 28】 前記別の電気絶縁層の他方の面にも配線パターンが形成されており、前記他方の面の配線パターンが前記別の電気絶縁層の前記インナービアと接続されていることを特徴とする請求項 17 又は 21 に記載の部品内蔵モジュールの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体及び／または回路部品等の電子部品が電気絶縁層の内部に配置された部品内蔵モジュール及びその製造方法に関する。

【0002】

【従来の技術】近年の電子機器の高性能化・小型化の流れの中、回路部品の高密度、高機能化が一層求められている。回路部品を搭載したモジュールにおいても、高密度、高機能化への対応が要求されている。回路部品を高密度に実装するために、配線パターンも複雑になり、現在、配線板が多層化する傾向にある。

【0003】従来のガラスエポキシ基板では、ドリルによる貫通スルーホール構造を用いて多層化している。この構造は、信頼性は高いが、貫通孔で異なる層にある配線パターン間を接続するため、配線パターンが制限されてしまう。また、配線板表面の貫通孔がある部分には、半導体または回路部品を実装することができず、高密度実装には適していない。

【0004】このため、最も回路の高密度化が図れる方法として、インナービアによる電気接続を用いた多層配線板も使用されている。インナービア接続により、LSI (large scale integrated circuit) 間や部品間の配線パターンを最短距離で接続でき、必要な配線パターン層間のみの接続が可能となり、回路部品の実装性も向上する。また、回路部品を配線板に内蔵することにより、さらに部品の実装効率をあげることができる。

【0005】

【発明が解決しようとする課題】しかしながら、回路部品を内蔵し、かつ、インナービアで接続するためには、信頼性の面で問題があった。インナービア接続の信頼性には、インナービアの直径に対する高さの比（アスペクト比＝高さ／直径）が大きく影響する。回路部品を配線板に内蔵すると、回路部品の高さ以上の電気絶縁層が必要となり、必然的にインナービアも高くなる。従って、接続信頼性を向上させるためには、インナービアの直径を大きくする必要がある。ところが、直径を大きくすると実装密度が低下する。

【0006】本発明は、信頼性が高く高密度実装可能な

部品内蔵モジュールとその製造方法を提供することを目的とする。

#### 【0007】

【課題を解決するための手段】本発明は、上記の目的を達成するために以下のように構成される。

【0008】本発明の第1の部品内蔵モジュールは、電気絶縁層と、前記電気絶縁層を介して積層された複数層の第一配線パターンと、異なる層にある前記第一配線パターン間を電気接続する少なくとも一つの第一インナービアと、前記電気絶縁層の内部に埋設され、前記複数層の第一配線パターンのうちのいずれかに実装された少なくとも一つの電子部品とを有し、前記第一インナービアの少なくとも一つは、前記第一配線パターンの積層方向において、前記電子部品が占める範囲と重複する範囲を占め、かつ、前記方向におけるその高さは前記電子部品の高さより低いことを特徴とする。

【0009】ここで、本発明において「電子部品の高さ」とは、電子部品が実装された配線パターンの上面から、該電子部品の上面までの距離をいう。より好ましくは、該電子部品の厚さをいう。また、「重複する」とは、対象とする2つの範囲が少なくとも一部で相互に重なっていることを意味し、両範囲が完全に一致している必要はない。

【0010】これにより、電子部品を内蔵するにもかかわらず、第一配線パターンの積層方向と直交する方向に電子部品と略対向する第1インナービアの高さを低減することができる。その結果、ビア径を小さくしても、アスペクト比が増えることによる信頼性の低下を防止できる。従って、高信頼性で高密度実装可能な部品内蔵モジュールを提供できる。

【0011】上記第1の部品内蔵モジュールにおいて、少なくとも2層の第二配線パターンと、異なる層にある前記第二配線パターン間を電気接続するスルーホール及び／または第二インナービアとを備える配線板を更に有し、前記配線板は前記電気絶縁層の内部に埋設されており、前記複数層の第一配線パターンのうちのいずれかと、前記第二配線パターンとがインナービアで電気接続されていることが好ましい。

【0012】これにより、配線板の高信頼性を利用して、高密度実装可能な部品内蔵モジュールを提供できる。また、一般に用いられている配線板を使用でき低コスト化につながる。

【0013】次に、本発明の第2の部品内蔵モジュールは、電気絶縁層と、前記電気絶縁層を介して積層された複数層の第一配線パターンと、異なる層にある前記第一配線パターン間を電気接続する少なくとも一つの第一インナービアと、少なくとも2層の第二配線パターンと、異なる層にある前記第二配線パターン間を電気接続するスルーホール及び／または第二インナービアとを備える配線板と、前記電気絶縁層の内部に埋設され、前記第二

配線パターンのうちのいずれかに実装された少なくとも一つの電子部品とを有し、前記第一インナービアの少なくとも一つは、前記第一配線パターンの積層方向において、前記電子部品が占める範囲と重複する範囲を占め、かつ、前記方向におけるその高さは前記電子部品の高さより低いことを特徴とする。

【0014】これにより、配線板上に電子部品を実装した既存の実装体を用い、該電子部品の実装面上に電気絶縁層を積層した部品内蔵モジュールにおいて、第一配線パターンの積層方向と直交する方向に電子部品と略対向する第1インナービアの高さを低減することができる。その結果、ビア径を小さくしても、アスペクト比が増えることによる信頼性の低下を防止できる。従って、高信頼性で高密度実装可能な部品内蔵モジュールを提供できる。

【0015】上記の第1及び第2の部品内蔵モジュールにおいて、更に、前記複数層の第一配線パターンのうちのいずれかに実装され、かつ、前記電気絶縁層内に埋設されていない少なくとも一つの電子部品を備えることが好ましい。これにより、高信頼性で更に高密度実装可能な部品内蔵モジュールを提供できる。

【0016】また、上記の第1及び第2の部品内蔵モジュールにおいて、前記電気絶縁層がフィラーと絶縁性樹脂とを含む混合物からなることが好ましい。これにより、フィラー種を選択することにより、電気絶縁層の熱伝導度、線膨張係数、誘電率等の調整が可能となる。

【0017】この場合において、前記フィラーが、アルミナ、マグネシア、窒化ホウ素、窒化アルミ、窒化珪素、テトラフルオロエチレン、及び、シリカから選ばれた少なくとも一つを含むことが好ましい。これにより、放熱性に優れた電気絶縁層が得られる。また、フィラーとしてアルミナを用いた場合は、低コスト化がはかれる。フィラーとしてマグネシアを用いた場合は、電気絶縁層の線膨張係数を大きくすることができる。また、フィラーとして窒化ホウ素、窒化アルミ、窒化珪素を用いた場合は、線膨張係数を低くすることができる。また、フィラーとしてテトラフルオロエチレン、シリカを用いた場合は、電気絶縁層の誘電率を小さくすることができる。

【0018】また、前記絶縁性樹脂が、エポキシ樹脂、フェノール樹脂、フッ素樹脂、シアネート樹脂、PTFE (polytetrafluoroethylene) 樹脂、PPO (poly(phenylene oxide)) 樹脂および、PPE (polyphenylether) 樹脂から選ばれた少なくとも一つの絶縁性樹脂を含むことが好ましい。これにより、絶縁性樹脂材料を選択することにより、耐熱性や電気絶縁性、高周波特性を向上させることができる。

【0019】また、上記の第1及び第2の部品内蔵モジュールにおいて、前記第一配線パターンが、金属箔、リードフレーム、導電性樹脂組成物の少なくとも一つで形



成されていることが好ましい。これにより、低い電気抵抗で、微細な配線パターンを形成できる。

【0020】また、上記の第1及び第2の部品内蔵モジュールにおいて、前記電子部品が半導体ベアチップであることが好ましい。これにより、高密度に半導体素子を実装することができ、半導体の厚みも薄くなり電気絶縁層の厚みも薄くできる。

【0021】この場合において、前記半導体ベアチップがフリップチップボンディングにより実装されていることが好ましい。これにより、高密度に半導体素子を実装

【0022】また、上記の第1及び第2の部品内蔵モジュールにおいて、前記第一インナービアが、導電性粉末と熱硬化性樹脂とを含むビアペーストからなることが好ましい。これにより、電気絶縁層と第一インナービアとを同時に硬化でき工程数が削減できる。

【0023】また、前記配線板がセラミック基板、ガラスエポキシ基板、又はインナービア接続を有する多層基板で形成されていることが好ましい。これにより、一般に使われている配線板を用いて部品内蔵モジュールを作

【0024】また、上記の第1及び第2の部品内蔵モジュールにおいて、前記電子部品と接する前記電気絶縁層と、前記第一インナービアと接する前記電気絶縁層とが、一体に形成されていることが好ましい。ここで、「一体に形成されている」とは、前記2つの電気絶縁層が共通する組成を有し、継ぎ目なく連続していることを意味する。両電気絶縁層の間に境目がなく連続するので、信頼性が向上する。

【0025】また、上記の第1及び第2の部品内蔵モジュールにおいて、前記第一配線パターンの積層方向において、複数の前記電子部品が互いに対向して配置されていることが好ましい。これにより、電子部品を高密度に実装できる。

【0026】また、上記の第1及び第2の部品内蔵モジュールにおいて、前記第一配線パターンは、前記第一インナービアと電気接続されたランド形状部を含むことが好ましい。これにより、電子部品を内蔵できる領域が大きくなり、高密度に実装できる。

【0027】次に、本発明の部品内蔵モジュールの第1の製造方法は、電気絶縁層に第一インナービアを形成する工程と、第一配線パターン上に電子部品を実装する工程と、前記第一配線パターンの前記電子部品が実装された側の面上に、前記電気絶縁層と、前記第一配線パターンとは別の配線パターンとをこの順に積層して、前記電気絶縁層を介して対向する前記第一配線パターンと前記別の配線パターンとを前記第一インナービアで電気接続する工程とを含み、前記積層方向において、前記積層前の前記電気絶縁層の厚さは、前記電子部品の高さより小さいことを特徴とする。

【0028】これにより、容易に本発明の上記第1の部品内蔵モジュールを製造することができる。

【0029】上記第1の製造方法において、前記別の配線パターンが前記電気絶縁層とは別の電気絶縁層の一方の面に形成されており、前記別の配線パターンは、前記別の電気絶縁層に形成されたインナービアと接続されていることが好ましい。これにより、前記別の配線パターンの取り扱いが容易になるとともに、少ない工程数で多層の配線パターンを積層することができる。

【0030】また、上記第1の製造方法において、前記別の配線パターンがキャリアに担持されており、前記積層後に前記キャリアを剥離することが好ましい。これにより、前記別の配線パターンの取り扱いが容易になる。

【0031】また、上記第1の製造方法において、前記別の配線パターンが、少なくとも2層の第二配線パターンと、異なる層にある前記第二配線パターン間を電気接続するスルーホール及び／または第二インナービアとを備える配線板の表面に露出した前記第二配線パターンであることが好ましい。これにより、電子部品とともに、一般に用いられている高信頼性を備えた配線板とを内蔵することができる。

【0032】次に、本発明の部品内蔵モジュールの第2の製造方法は、電気絶縁層に第一インナービアを形成する工程と、少なくとも2層の第二配線パターンと、異なる層にある前記第二配線パターン間を電気接続するスルーホール及び／または第二インナービアとを備える配線板を作成する工程と、前記配線板の表面に露出した前記第二配線パターン上に電子部品を実装する工程と、前記電子部品が実装された前記第二配線パターン上に、前記電気絶縁層と、第一配線パターンとをこの順に積層して、前記電気絶縁層を介して対向する前記第二配線パターンと前記第一配線パターンとを前記第一インナービアで電気接続する工程とを含み、前記積層方向において、前記積層前の前記電気絶縁層の厚さは、前記電子部品の高さより小さいことを特徴とする。

【0033】これにより、容易に本発明の上記第2の部品内蔵モジュールを製造することができる。

【0034】上記第2の製造方法において、前記第一配線パターンが前記電気絶縁層とは別の電気絶縁層の一方の面に形成されており、前記第一配線パターンは、前記別の電気絶縁層に形成されたインナービアと接続されていることが好ましい。これにより、前記第一配線パターンの取り扱いが容易になるとともに、少ない工程数で多層の配線パターンを積層することができる。

【0035】また、上記第2の製造方法において、前記第一配線パターンがキャリアに担持されており、前記積層後に前記キャリアを剥離することが好ましい。これにより、前記第一配線パターンの取り扱いが容易になる。

【0036】また、上記第1及び第2の製造方法において、積層前の前記電気絶縁層が、前記電子部品を内蔵す

10

20

30

40

50

るための空孔を備えることが好ましい。これにより、電子部品を埋設する際に第一インナービアの位置ずれを低減することができる。

【0037】上記第1及び第2の製造方法において、前記電気接続する際に、前記電子部品の少なくとも一部を前記電気絶縁層中に埋設することが好ましい。これにより、容易に本発明の部品内蔵モジュールを製造することができる。

【0038】また、上記第1及び第2の製造方法において、前記電気接続する際に、前記電気絶縁層を硬化することが好ましい。これにより、本発明の部品内蔵モジュールを少ない工程で製造することができる。

【0039】また、上記第1及び第2の製造方法において、前記電気接続する際に、前記電子部品の少なくとも一部を前記電気絶縁層中に埋設するとともに、前記電気絶縁層を硬化することが好ましい。これにより、本発明の部品内蔵モジュールを少ない工程で製造することができる。

【0040】また、上記第1及び第2の製造方法において、前記積層前の前記電気絶縁層が未硬化状態であることが好ましい。これにより、電子部品と接する電気絶縁層と、第一インナービアと接する電気絶縁層とが、一体に形成された、高信頼性の本発明の部品内蔵モジュールを製造することができる。

【0041】また、上記第1及び第2の製造方法において、前記別の電気絶縁層の他方の面にも配線パターンが形成されており、前記他方の面の配線パターンが前記別の電気絶縁層の前記インナービアと接続されていることが好ましい。これにより、別の電気絶縁層に形成されたインナービアが露出しないので、別の電気絶縁層の取り扱いが容易になるとともに、該インナービアの接続信頼性が向上する。

【0042】

【発明の実施の形態】（実施の形態1）図1は、実施の形態1における部品内蔵モジュールの断面図である。図1において、部品内蔵モジュールは、電気絶縁層101と、配線パターン（第一配線パターン）102a、102bと、電子部品としての半導体103と、ビアペーストからなるインナービア（第一インナービア）104とを有している。

【0043】電気絶縁層101は、例えば、絶縁性樹脂、あるいはフィラーと絶縁性樹脂との混合物等を用いることができる。電気絶縁層101として、フィラーと絶縁性樹脂との混合物を用いた場合、フィラー及び絶縁性樹脂を適当に選択することによって、電気絶縁層101の線膨張係数、熱伝導度、誘電率などを容易に制御することができる。

【0044】例えば、フィラーとしてアルミナ、マグネシア、窒化ホウ素、窒化アルミ、窒化珪素、テトラフルオロエチレン（例えば「テフロン」（du Pont社の登録

商標））、及びシリカなどを用いることができる。アルミナ、窒化ホウ素、あるいは窒化アルミを用いることにより、従来のガラスエポキシ基板より熱伝導度の高い基板が製作可能となり、半導体103の発熱を効果的に放熱させることができる。また、アルミナはコストが安いという利点もある。シリカを用いた場合、電気絶縁層の線膨張係数がシリコン半導体の線膨張係数により近くなるので、温度変化によるクラックの発生等を防止することができるため、半導体を直接実装するフリップチップ時に好ましい。また、誘電率が低い電気絶縁層が得られ、比重も軽いため、携帯電話などの高周波用基板として好ましい。窒化珪素やテトラフルオロエチレンを用いても誘電率の低い電気絶縁層を形成できる。また、窒化ホウ素を用いることにより線膨張係数を低減できる。マグネシアを用いることにより、電気絶縁層の線膨張係数を大きくすることができる。

【0045】絶縁性樹脂としては、熱硬化性樹脂や光硬化性樹脂を用いることができる。耐熱性の高いエポキシ樹脂、フェノール樹脂、シアネート樹脂を用いることにより、電気絶縁層の耐熱性をあげることができる。また、誘電正接の低いフッ素樹脂、PTFE樹脂、PPO樹脂、PPE樹脂を含む樹脂、もしくはそれらの樹脂を変性させた樹脂を用いることにより、電気絶縁層の高周波特性が向上する。さらに分散剤、着色剤、カップリング剤または離型剤を含んでいてもよい。分散剤によって、絶縁性樹脂中のフィラーを均一性よく分散させることができる。着色剤によって、部品内蔵モジュールの放熱性をよくすることができる。カップリング剤によって、絶縁性樹脂とフィラーとの接着強度を高くすることができるため、電気絶縁層の絶縁性を向上できる。離型剤によって、金型と混合物との離型性を向上できるため、生産性を向上できる。

【0046】配線パターン102a、102bは、電気伝導性を有する物質からなり、例えば、金属箔や導電性樹脂組成物、金属板を加工したリードフレームを用いることができる。金属箔やリードフレームを用いることにより、エッチング等により微細な配線パターンの作成が容易となる。また、金属箔を用いる場合は、キャリアを用いた転写等による配線パターンの形成も可能となる。特に銅箔は値段も安く、電気伝導性も高いため好ましい。また、キャリア上に配線パターンを形成することにより、配線パターンが取り扱いやすくなる。導電性樹脂組成物を用いる場合は、スクリーン印刷等による、配線パターンの製作が可能となる。また導電性樹脂組成物を用いる場合、金、銀、銅、ニッケル等の金属粉やカーボン粉を用いることにより、低い電気抵抗の配線パターンが得られる。また、樹脂としてエポキシ樹脂、フェノール樹脂およびシアネート樹脂から選ばれた少なくとも一つの熱硬化性樹脂を含むことにより、耐熱性の向上が図れる。リードフレームを用いることにより、電気抵抗の



低い、厚みのある金属を使用できる。また、エッチングによる微細パターン化や打ち抜き加工等の簡易な製造法が使える。リードフレームは、それぞれの配線パターンをリードフレームの外周部で接続しておくことにより、複数のパターンを一体として取り扱うことができる。また、これらの配線パターン102a、102bは表面にメッキ処理をする事により、耐食性や電気伝導性を向上させることができる。また、配線パターン102a、102bの電気絶縁層101との接触面を粗化することで、電気絶縁層101との接着性を向上させることができる。以下の説明では、複数層(図1では3層)の配線パターンのうち、部品内蔵モジュールの外表面に露出した配線パターンには添字「a」を付して「配線パターン102a」と呼び、部品内蔵モジュール内に埋設された配線パターンには添字「b」を付して「配線パターン102b」又は「内部配線パターン102b」と呼ぶ。後述する実施の形態2~4、7~10も同様である。

【0047】半導体103としては、例えば、トランジスタ、IC(integrated circuit)、LSIなどの半導体素子を用いることができる。半導体素子は、半導体ベアチップであってもよい。また、半導体素子は封止樹脂を用いて、半導体素子を、もしくは、半導体素子と配線パターン102a、102bの接続部の少なくとも一部を封止しても良い。配線パターン102a、102bと半導体103との接続には、例えばフリップチップボンディングによる場合は、導電性接着剤、異方性導電フィルム(ACF)が用いられる。また、 bumps 105を形成して接続してもよい。また、電気絶縁層101によって半導体103を外気から遮断することができるため、湿度による信頼性低下を防止することができる。また、電気絶縁層101の材料として、フィラーと絶縁性樹脂との混合物を用いると、セラミック基板と異なり、高温で焼成する必要がなく、半導体103を内蔵することが容易である。

【0048】インナービア104を形成するためのビアペーストは、異なる層の配線パターン102aと配線パターン102bとの間を接続する機能を有する導電性粉末と樹脂の混合物である。例えば、金属粉やカーボン粉等の導電性粉末と、熱硬化性樹脂や光硬化性樹脂との混合物を用いることができる。金属粉としては、金、銀、銅またはニッケルなどを用いることができる。金、銀、銅またはニッケルは導電性が高いため好ましい。銅は導電性が高くマイグレーションも少ないため特に好ましい。銅を銀で被覆した金属粉を用いても、導電性の高さとマイグレーションの少なさとの、両方の特性を満たすことができる。熱硬化性樹脂としては、例えば、エポキシ樹脂、フェノール樹脂またはシアネート樹脂を用いることができる。エポキシ樹脂は、耐熱性が高いため特に好ましい。また、光硬化性の樹脂も用いることができる。

【0049】本実施の形態においては、配線パターン102a、102bの積層方向(図1の紙面の上下方向)において、インナービア104の高さは、半導体103が実装された配線パターン102aの実装面から半導体103の上面までの距離(好ましくは半導体103の厚さ)より小さい。特に、該方向において、半導体103が占める範囲と重複する範囲を占めるインナービア104(即ち、図1の紙面の横方向において、半導体103と対向して配置されたインナービア104)が、半導体103と上記高さの関係を満足することが好ましい。前記積層方向において対向する配線パターン102a、102a間を一つのインナービアで直接接続するのではなく、内部配線パターン102bを介在させて複数のインナービア104で接続することにより、上記高さの関係を満足させることができる。このように、内部配線パターン102bと配線パターン102aとをインナービア104で電氣的に接続することで、インナービア104の高さの直径に対する比を低減できる。本実施の形態においては内部配線パターン102bを1層だけ形成しているため、上記の比は、内部配線パターン102bがない場合の約1/2となっている。その結果、信頼性の高い接続が可能となり、半導体の内蔵に適した部品内蔵モジュールを提供できる。

【0050】なお、本実施の形態では、部品内蔵モジュールの両表面の配線パターン102aが電気絶縁層に埋設されていない場合を示したが、少なくとも一方の表面では配線パターンが露出しておらず、電気絶縁層によって覆われていてもよい。また、本実施の形態においては、内部配線パターン102bが1層の場合を示したが、層数は限定されるものではない。内部配線パターン102bが複数層存在する場合には、異なる層にある内部配線パターン102b間もインナービア104で接続される。また、内蔵される電子部品は、本実施の形態のような、いわゆる能動部品である半導体103に限られず、他のいわゆる受動部品である回路部品(例えば、LCR(inductance, resistance, capacitance)等のチップ部品、SAW(surface acoustic wave)フィルタ、バラン)等であってもよい。

【0051】(実施の形態2) 実施の形態2は、図1に示した部品内蔵モジュールを製造する方法の一例である。部品内蔵モジュールの構成に用いられる材料は、実施の形態1で説明した材料と同様である。図2A~図2Gは、実施の形態2における部品内蔵モジュールの製造方法を工程順に示す断面図である。

【0052】まず図2Aに示すように、電気絶縁層201を作成する。電気絶縁層201の作成方法の一例は以下のとおりである。部品内蔵モジュールは基板形状をしており、電気絶縁層201としては、絶縁性樹脂や、フィラーと絶縁性樹脂との混合物等を用いることができる。後者の場合は、最初にフィラーと絶縁性樹脂を混合

し、攪拌することによって、ペースト状の絶縁性樹脂混合物を作製する。絶縁性樹脂混合物には、粘度を調整するために溶剤を添加しても良い。この絶縁性樹脂混合物をシート形状に成形することによって、電気絶縁層 201 を形成できる。シート形状に成形する方法としては、例えば、ドクターブレード法等によって、フィルム上に絶縁性樹脂混合物の層を作成する方法を用いることができる。電気絶縁層 201 は、硬化温度以下の温度に加熱して乾燥させることによって、粘着性を低下させることができる。この熱処理によって、板状の電気絶縁層の粘着性が失われるため、フィルムとの剥離が容易になる。未硬化状態（B ステージ）にすることにより、取り扱いが容易となる。次に、板状の電気絶縁層にビア（ビアホール）206 を形成する。電気絶縁層 201 に形成するビア 206 は、例えば、レーザー加工やドリル加工、パンチング加工によって作製することができる。レーザー加工は微細なピッチでビアを形成することができ、削りくずも発生しないため望ましい。レーザー加工の場合、炭酸ガスレーザーや YAG レーザー、エキシマレーザー等を用いることができる。また、ドリル加工、パンチング加工の場合、汎用性のある既存の設備でのビア形成が容易である。

【0053】次に図 2 B に示すように、ビア 206 にビアペースト 204 を充填する。ビアペースト 204 の充填には、印刷や注入による方法を用いることができる。特に印刷の場合、配線パターンの形成も同時に行うことができる。ビアペースト 204 を用いることで、複数層の配線パターン間の接続が可能となる。

【0054】次に図 2 C に示すように、キャリア 207 上に配線パターン 202 a、202 b を形成する。配線パターン 202 a、202 b は、エッチング、印刷等の方法を用いて形成することができる。特にエッチングを用いる場合は、フォトリソグラフィ工法など微細な配線パターンの形成法を利用できる。キャリア 207 としては、PET（ポリエチレンテレフタレート）や PPS

（ポリフェニレンサルファイト）の様な樹脂フィルムその他、銅箔、アルミ箔の様な金属箔等を用いることができる。キャリア 207 を用いることにより、配線パターン 202 a、202 b の取り扱いが容易となる。また、配線パターン 202 a、202 b をはがしやすくするために、配線パターン 202 a、202 b とキャリア 207 との間に剥離層を設けたり、キャリア 207 の表面に離型処理を施したりしてもよい。形成した配線パターン 202 a、202 b と電気絶縁層 201 とを位置あわせし、重ねる。これを加圧することによって、配線パターン 202 a、202 b を電気絶縁層 201 に転写することができる。

【0055】図 2 D に示すように、加圧後、キャリア 207 を剥離することで、電気絶縁層 201 の表裏面に配線パターン 202 a、202 b を転写し、残留させる。

この工程は、絶縁性樹脂に熱硬化樹脂を用いた場合、電気絶縁層 201 中の熱硬化性樹脂が硬化する温度以下で、もしくは硬化時間以内に行う。これにより、電気絶縁層 201 が未硬化の状態で配線パターン 202 a、202 b を形成することが可能となる。配線パターン 202 b を形成することで、ビアペースト 204 の高さの直径に対する比を低減することができ、信頼性の向上、ビア径の低サイズ化を獲得することが可能となる。

【0056】上記の工程と並行して、図 2 E に示すように、キャリア 207 上に配線パターン 202 a を形成した部材をもう 1 つ作成する。そして、配線パターン 202 a 上に、半導体 203 を実装する。実装方法としては、配線パターン 202 a にクリーム半田を印刷し、加熱により半田実装する方法を用いることができる。その他、クリーム半田に代えて、ACF、導電性接着剤（例えば、金、銀、銅、銀-パラジウム合金などを熱硬化性樹脂で混練したもの）を使用した方法でもよい。また、金ワイヤボンディング法で作製した bumps 205 または半田による bumps を、半導体 203 側にあらかじめ形成し、熱処理によって金または半田を溶解して、半導体 203 を実装することも可能である。さらに、bumps 205 と導電性接着剤とを併用することも可能である。なお、半導体 203 と配線パターン 202 a との間に封止樹脂を注入してもよい。封止樹脂の注入によって、後の工程で半導体 203 を電気絶縁層 201 に埋設する際に、半導体 203 と配線パターン 202 a との間に隙間ができることを防止することができる。封止樹脂には通常のフリップチップボンディングに使用されるアンダーフィル樹脂を用いることができる。

【0057】その後、図 2 F に示すように、配線パターン 202 a、202 b を形成した図 2 D の電気絶縁層 201、図 2 B と同様の電気絶縁層 201、及び半導体 203 を実装した配線パターン 202 a を備える図 2 E のキャリア 207 を位置合わせして重ねる。

【0058】これを加圧・加熱することによって、図 2 G に示すように、配線パターン 202 a、202 b、半導体 203 を電気絶縁層 201 に埋設することができる。絶縁性樹脂として熱硬化樹脂を用いた場合、加圧後、加熱することによって、電気絶縁層 201 中の熱硬化性樹脂を硬化させ、半導体 203 が埋設された板状の電気絶縁層 201 を形成できる。加熱は、熱硬化性樹脂が硬化する温度以上の温度で行う。この工程によって、配線パターン 202 a、202 b と半導体 203 と電気絶縁層 201 とが機械的に強固に接着する。なお、加熱によって熱硬化性樹脂を硬化させる際に、加熱しながら 100 g/mm<sup>2</sup> ~ 2 kg/mm<sup>2</sup> の圧力で加圧することによって、部品内蔵モジュールの機械的強度を向上させることができる。電気絶縁層 201 を硬化させた後、キャリア 207 を取り去ることによって、配線パターン 202 b と半導体 203 が電気絶縁層 201 内に内蔵された、実



施形態 1 で説明した部品内蔵モジュールが作製される。

【0059】上記の図 2 F において、2 枚の電気絶縁層 201 のうち下側の電気絶縁層 201 の厚さは、半導体 203 が実装された配線パターン 202 a の実装面から半導体 203 の上面までの距離（好ましくは半導体 203 の厚さ）より小さい。これにより、ビアペースト 204 のアスペクト比を小さくすることができる。

【0060】なお、本実施の形態においては、配線パターン 202 a、202 b の形成方法として転写法を例として説明したが、配線パターンの形成方法はこれに限定

【0061】（実施の形態 3）実施の形態 3 は、部品内蔵モジュールの製造方法の一例である。図 3 A～図 3 G は、実施の形態 3 における部品内蔵モジュールの製造工程を工程順に示す断面図である。同図において、実施の形態 2 と同一名称の要素は、実施の形態 2 と同様の構成であって、同一の製造法により製造され、特に説明のない限り同様の機能を持つ。

【0062】図 3 A に示すように、電気絶縁層 301 には、図 2 A と同様のビア 306 に加えて、半導体を内蔵するための空孔 308 があらかじめ形成される。空孔 308 を形成しておくことにより、半導体 303 を電気絶縁層 301 に内蔵する際に、ビア 306 の位置ずれがし

【0063】次に図 3 B に示すように、ビア 306 にビアペースト 304 を充填する。

【0064】図 3 A、図 3 B の工程と平行して、図 3 C に示すように、キャリア 307 上に配線パターン 302 a を形成し、配線パターン 302 a 上に、半導体 303 を実装する。実装方法としては、半田、ACF、NCF (non-conductive particle film) による実装の他に、導電性接着剤 305 を用いた方法を用いることができる。導電性接着剤 305 としては、例えば、金、銀、銅、銀パラジウム合金などを熱硬化性樹脂で混練したものも使用できる。また、あらかじめ配線パターン 302 a、半導体 303 にキレート処理などを施すことにより接着性を向上させておいても良い。なお、半導体 303 と配線パターン 302 a との間に封止樹脂を注入してもよい。封止樹脂の注入によって、後の工程で半導体 303 を電気絶縁層 301 に埋設する際に、半導体 303 と配線パターン 302 a との間に隙間ができることを防止することができる。封止樹脂としては、通常のフリップチップボンディングに使用されるアンダーフィル樹脂を用いることができる。導電性接着剤 305 は、加熱することによって硬化させることができるが、この工程では未硬化状態のままでよい。

【0065】次に図 3 D に示すように、別に作成した、配線パターン 302 b を備え、半導体 303 に対応する位置を開口させたキャリア 307 と、図 3 B の電気絶縁層 301 と、半導体 303 を実装した配線パターン 30

2 a を備える図 3 C のキャリア 307 とを位置合わせして重ねる。ここで、電気絶縁層 301 の厚さは、半導体 303 が実装された配線パターン 302 a の実装面から半導体 303 の上面までの距離（好ましくは半導体 303 の厚さ）より小さい。

【0066】積層後、加圧し、図 3 E に示すように配線パターン 302 a、302 b、半導体 303 を電気絶縁層 301 に埋設する。このような埋設は、電気絶縁層 301 の厚さが半導体 303 の高さより薄い場合であっても、配線パターン 302 b を備えるキャリア 307 が開口と所定の厚さとを有することにより、達成可能である。この工程において、電気絶縁層 301 を硬化させてもよい。絶縁性樹脂に熱硬化樹脂を用いた場合、加圧後、加熱することによって、電気絶縁層 301 中の熱硬化性樹脂を硬化させ、半導体 303、ビアペースト 304 が埋設された板状の電気絶縁層 301 が形成できる。加熱は、熱硬化性樹脂が硬化する温度以上の温度で行う。この工程によって、配線パターン 302 a、302 b と半導体 303 とビアペースト 304 と電気絶縁層 301 とが機械的に強固に接着する。なお、加熱によって熱硬化性樹脂を硬化させる際に、加熱しながら 100 g/mm<sup>2</sup>～2 kg/mm<sup>2</sup> の圧力で加圧することによって、部品内蔵モジュールの機械的強度を向上させることができる。この電気絶縁層 301 を硬化させる工程で、導電性接着剤 305 も同時に硬化させることができる。同時硬化を行うことによって、工程を削減でき、半導体 303 等に加えられる熱量も低減でき、半導体 303 の特性劣化を防ぐことができる。その後、配線パターン 302 b 側のキャリア 307 を剥離して除去する。

【0067】次いで、図 3 F に示すように、図 3 E の電気絶縁層 301、図 2 B と同様の他の電気絶縁層 301、及び配線パターン 302 a を備えるキャリア 307 を位置あわせして重ねる。

【0068】積層後、図 3 E と同様に電気絶縁層 301 を硬化させる。その後、表裏のキャリア 307 を取り去ることによって、配線パターン 302 a、302 b と半導体 303 とビアペースト 304 とが電気絶縁層 301 内に内蔵された部品内蔵モジュールが完成する。

【0069】（実施の形態 4）実施形態 4 は、部品内蔵モジュールの他の例である。図 4 は、本実施の形態における部品内蔵モジュールの断面図である。同図において、実施の形態 1 と同一名称の要素は、実施の形態 1 と同様の構成であって、同一の製造法により製造され、特に説明のない限り同様の機能を持つ。

【0070】図 4 において、部品内蔵モジュールは、電気絶縁層 401、配線パターン（第一配線パターン）402 a、402 b、電子部品としての半導体 403、ビアペーストからなるインナーピア（第一インナーピア）404、及び電子部品としての回路部品 406 を有している。



【0071】本実施の形態においては、回路部品406が電気絶縁層401に内蔵されている。回路部品406を内蔵することで、部品内蔵モジュールの機能性を向上することができる。また、配線長を短くすることができ、高周波化にも適している。

【0072】回路部品406としては、例えば、LCR等のチップ部品、SAWフィルタ、あるいはバラン等の部品を用いることができる。配線パターン402a、402bと回路部品406との接続には、半田407や導電性接着剤が用いられる。また、電気絶縁層401によって回路部品406を外気から遮断することができるため、湿度による信頼性低下を防止することができる。また、電気絶縁層401の材料として、フィラーと絶縁性樹脂との混合物を用いると、セラミック基板と異なり、高温で焼成する必要がなく、ディスクリートの回路部品406を内蔵することが可能となる。

【0073】また、電気絶縁層401に内蔵される半導体403と回路部品406とを配線パターン402a、402bの積層方向（厚み方向）に対向して配置している。この構造により、内蔵する部品点数を増やすことができ、より高密度な実装が可能となる。

【0074】また、外表面に露出した配線パターン402a上に、半導体403と回路部品406が実装されている。半導体403は bumps 405 を形成して実装されている。回路部品406は半田407を用いて実装されている。半導体403及び回路部品406の実装には、導電性接着剤を用いることもできる。ビアペーストからなるインナービア404で電気接続することにより、外表面全体に、半導体403や回路部品406を高密度に実装できる。

【0075】本実施の形態においては、配線パターン402a、402bの積層方向（図4の紙面の上下方向）において、インナービア404の高さは、電気絶縁層401中の半導体403や回路部品406が実装された配線パターン402aの実装面から該半導体403や該回路部品406の上面までの距離（好ましくは、該半導体403や該回路部品406の厚さ）より小さい。特に、該方向において、電気絶縁層401中の半導体403や回路部品406が占める範囲と重複する範囲を占めるインナービア404（即ち、図4の紙面の横方向において、該半導体403や該回路部品406と対向して配置されたインナービア404）が、該半導体403や該回路部品406と上記の高さの関係を満足することが好ましい。前記積層方向において対向する配線パターン402a、402a間を一つのインナービアで直接接続するのではなく、内部配線パターン402bを介在させて複数のインナービア404で接続することにより、上記の高さの関係を満足させることができる。このように内部配線パターン402bと配線パターン402aとの間を、もしくは異なる層にある内部配線パターン402

b、402b間をインナービア404で電氣的に接続することで、インナービア404の高さの直径に対する比を低減できる。本実施の形態においては内部配線パターン402bを2層形成しており、インナービア404の高さの直径に対する比は、内部配線パターン402bがない場合の約1/3となっている。その結果、信頼性の高い接続が可能で、ビア径を減少させることもでき、半導体の内蔵に適した部品内蔵モジュールを提供できる。

【0076】なお、本実施の形態においては、一方の表面に露出した配線パターン402aにのみ半導体及び回路部品を実装した例を示したが、両面の配線パターン402aに実装しても良い。

【0077】（実施の形態5）実施の形態5は、部品内蔵モジュールの更に他の例である。図5は、本実施の形態における部品内蔵モジュールの断面図である。同図において、実施の形態1と同一名称の要素は、実施の形態1と同様の構成であって、同一の製造法により製造され、特に説明のない限り同様の機能を持つ。

【0078】図5において、部品内蔵モジュールは、電気絶縁層501、配線パターン（第一配線パターン）502a、電子部品としての半導体503、ビアペーストからなるインナービア（第一インナービア）504、電子部品としての回路部品506、及び配線板508を有している。半導体503は bumps 505 により、回路部品506は半田507によりそれぞれ、配線パターン502aと接続されている。

【0079】本実施の形態においては、配線板508を電気絶縁層501で覆った構成が採用されている。配線板508としては、ガラスエポキシ基板、セラミック基板、又はインナービア接続を有する多層基板（例えば、ビルドアップ基板、「ALIVH」（松下電器産業（株）の商標）を用いることができる。配線板508は、少なくとも2層以上の配線パターン（第二配線パターン）502bと、異なる層の第二配線パターン502b間を接続するスルーホール509とを有する。スルーホール509を形成した配線板508を用いることで、既存の信頼性のある電気接続を利用することができ、半導体の内蔵に適した部品内蔵モジュールを提供できる。また、一般に用いられている配線板を利用できる。電気絶縁層501を介して、第一配線パターン502aと配線板508の最表層の第二配線パターン502bとをインナービア504で接続することにより、配線パターン502aの表面に半導体及び回路部品を実装すること（実施の形態4を参照）が可能となり、高密度化に適した部品内蔵モジュールを提供できる。

【0080】なお、本実施の形態においては、配線板508の両面を電気絶縁層501で覆った例を示したが、片面のみを覆う構成であってもよい。

【0081】また、本実施の形態においては、スルーホール509を用いた配線板508を内蔵した例を示した

が、インナービア（第二インナービア）を用いた配線板でも良い。

【0082】（実施の形態6）実施の形態6は、図5に示した部品内蔵モジュールの製造方法の一例である。図6A～図6Eは、実施の形態6における部品内蔵モジュールの製造工程を工程順に示す断面図である。同図において、実施の形態1～5と同一名称の要素は、実施の形態1～5と同様の構成であって、同一の製造法により製造され、特に説明のない限り同様の機能を持つ。

【0083】図6A、図6B、図6Cに示す工程は、図2A、図2B、図2Eとそれぞれ同様の工程である。図6Aに示すように、電気絶縁層601にビア606を形成し、図6Bに示すように、ビア606にビアペースト604を充填する。このときには、電気絶縁層601は未硬化状態である。これと並行して、図6C示すように、キャリア607上に形成した配線パターン（第一配線パターン）602aに、 bumps 605を用いて半導体603を実装する。

【0084】更に、これらとは別に、図6Dに示すように、回路部品608をクリーム半田609を用いて実装した配線パターン（第一配線パターン）602aを備えるキャリア607、複数層の配線パターン（第二配線パターン）602bとこれらを接続するスルーホール611とを有し、半導体603及び回路部品608を内蔵するための空孔612を形成した配線板610、及び配線板610の空孔612を埋めるための未硬化状態の電気絶縁材料614を準備する。電気絶縁材料614としては、電気絶縁層601と同じ材料を用いることができる。そして、図6Dに示すように、上から順に、回路部品608を実装した配線パターン602aを備えるキャリア607と、図6Bの電気絶縁層601と、電気絶縁材料614と、配線板610と、図6Bの電気絶縁層601と、半導体603を実装した配線パターン602aを備える図6Cのキャリア607とを、位置あわせして重ねる。加圧・加熱することにより、それらの部材が一体硬化される。同時に第一配線パターン602aと第二配線パターン602bがビアペースト604で電気接続される。ここで、図6Dに示された2枚の電気絶縁層601のうち上側の電気絶縁層601の厚さは、回路部品608の高さより小さい。また、図6Dの下側の電気絶縁層601の厚さは、半導体603の高さより小さい。

【0085】その後、表裏のキャリア607を剥離して、図6Eに示す部品内蔵モジュールを得る。表面に露出した配線パターン602a上に半導体及び回路部品を実装すること（実施の形態4を参照）が可能となり、高密度化に適した部品内蔵モジュールを提供できる。また、信頼性の高いスルーホール611を利用して部品内蔵モジュールが形成できる。

【0086】（実施の形態7）実施の形態7は、部品内蔵モジュールを製造する方法の一例である。図7A～図

7Gは、実施の形態7における部品内蔵モジュールの製造方法を工程順に示す断面図である。同図において、実施の形態1～6と同一名称の要素は、実施の形態1～6と同様の構成であって、同一の製造法により製造され、特に説明のない限り同様の機能を持つ。

【0087】まず図7Aに示すように、電気絶縁層701を作製する。電気絶縁層701の作製方法の一例は以下のとおりである。部品内蔵モジュールは基板形状をしており、電気絶縁層701としては、絶縁性樹脂や、フィラーと絶縁性樹脂との混合物等を用いることができる。また、ガラスクロスや不織布の様な補強材が入っていても良い。電気絶縁層701は1層あたり500μm以下の厚みを通常用いることができ、本実施の形態においては200μmのシートを用いた。次に、板状の電気絶縁層701にビア708を形成する。ビア708の直径は1mm以下が妥当であり、電気絶縁層701の厚みに応じて選択する必要がある。本実施の形態においては、直径200μmとした。

【0088】次に図7Bに示すように、ビア708にビアペースト704を充填する。

【0089】次に図7Cに示すように、キャリア709上に配線パターン702bを形成する。図7Bの電気絶縁層701の両面に、配線パターン702bを形成したキャリア709を、位置あわせして重ねる。

【0090】図7Dに示すように、加圧後、キャリア709を剥離することで、表裏に配線パターン702bを形成した電気絶縁層701を作製できる。この工程で、配線パターン702bを電気絶縁層701に転写することができ、ビアペースト704で表裏の配線パターン702b間が電気接続される。ビアペースト704の表裏に配線パターン702bを対向させて積層することで、ビアペースト704が露出しない状態で電気絶縁層701を取り扱うことができる。配線パターン702bの転写形成は、電気絶縁層701が完全に硬化しない条件で行った。完全硬化しない条件とは、絶縁性樹脂の硬化温度以上で硬化時間以内（本実施の形態においては、180℃×5分）もしくは、硬化温度以下を意味する。配線パターン702bを形成することで、ビアペースト704の高さの直径に対する比を低減することができ、信頼性の向上、ビア径の低サイズ化を獲得することが可能となる。

【0091】上記の工程と並行して、図7Eに示すように、キャリア709上に配線パターン702aを形成した部材を2つ作製する。そして、各部材の配線パターン702a上に、半導体703、回路部品706をそれぞれ実装する。回路部品706の実装方法としては、配線パターン702aにクリーム半田707を印刷し、加熱により半田実装する方法を用いることができる。その他、導電性接着剤を用いても良い。半導体703の実装方法としては、ACF、NCF、NCP(non-conductiv



e particle paste)、金-金接合、スタッドバンプを用いたフリップチップ実装や、R-CSP (Real-Chip-Size-Package) による半田実装を用いることができる。本実施の形態ではスタッドバンプ 705 を用いている。なお、半導体 703 と配線パターン 702 a との間に封止樹脂 710 を注入してもよい。封止樹脂 710 の注入によって、後の工程で半導体 703 を電気絶縁層 701 に埋設する際に、半導体 703 と配線パターン 702 a との間に隙間ができることを防止することができる。封止樹脂 710 には通常のフリップチップボンディングに使用されるアンダーフィル材を用いることができる。封止樹脂 710 を用いることで、半導体 703 の破損防止、信頼性向上が期待できる。半導体 703 と回路部品 706 を異なる部材の配線パターン 702 a に実装することで、異なる実装プロセス（例えば、半田実装とフリップチップ実装）を用いることが容易となる。また、半導体 703 として R-CSP を用いた場合は、半導体 703 と回路部品 706 とに同一の実装プロセスを用いることができ、同じ配線パターン 702 a 上への実装が容易となる。

【0092】その後、図 7A、図 7B の工程を経て、ビアペースト 704 が充填された電気絶縁層 701 を同様に 2 枚作製する。各電気絶縁層 701 に、回路部品 706 及び半導体 703 を内蔵するための空孔 712 を形成する。そして、図 7F に示すように、上から順に、回路部品 706 を実装した配線パターン 702 a を備える図 7E のキャリア 709 と、空孔 712 を形成した電気絶縁層 701 と、配線パターン 702 b を両面に形成した図 7D の電気絶縁層 701 と、空孔 712 を形成した電気絶縁層 701 と、半導体 703 を実装した配線パターン 702 a を備える図 7E のキャリア 709 と、を位置合わせして重ねる。ここで、図 7F に示された 3 枚の電気絶縁層 701 のうち最も上の電気絶縁層 701 の厚さは、回路部品 706 の高さより小さい。また、図 7F の最も下の電気絶縁層 701 の厚さは、半導体 703 の高さより小さい。

【0093】加圧・加熱することによって、半導体 703、回路部品 706 を電気絶縁層 701 に埋設することができ、電気絶縁層 701 を一体に成形できる。実施の形態 6 に示した、配線板 610 に空孔 612 を形成して半導体、回路部品を内蔵する方法と異なり、内蔵する半導体、回路部品を任意の位置に配置することができる。加圧後、加熱することによって、電気絶縁層 701 を硬化させる。硬化させた後、キャリア 709 を取り去ることによって、表面に配線パターン 702 a を有し、内部配線パターン 702 b と、半導体 703 と、回路部品 706 とを内蔵し、配線パターン 702 b によって、インナービア（ビアペースト）704 のアスペクト比を低減させた部品内蔵モジュールが作製できる。

【0094】その後、表面の配線パターン 702 a 上

に、別の半導体や回路部品を実装することにより、図 4 に示した部品内蔵モジュールが得られる。

【0095】（実施の形態 8）実施の形態 8 は、部品内蔵モジュールの更に他の例である。図 8 は、本実施の形態における部品内蔵モジュールの断面図である。同図において、実施の形態 1～7 と同一名称の要素は、実施の形態 1～7 と同様の構成であって、同一の製造法により製造され、特に説明のない限り同様の機能を持つ。

【0096】図 8 において、部品内蔵モジュールは、電気絶縁層 801、配線パターン 802 a、802 b、電子部品としての半導体 803、ビアペーストからなるインナービア 804、及び電子部品としての回路部品 806 を有している。半導体 803 はバンプ 805 により、回路部品 806 は半田 807 によりそれぞれ、配線パターン 802 a と接続されている。また、半導体 803 と配線パターン 802 a との接合部を封止樹脂 808 で保護している。

【0097】本実施の形態においては、半導体 803、回路部品 806 が電気絶縁層 801 に内蔵されている。半導体 803 及び回路部品 806 と接している電気絶縁層と、インナービア 804 と接している電気絶縁層とが一体に形成されている。このように一体に形成することで、半導体 803、回路部品 806、及び内部配線パターン 802 b を電気絶縁層 801 内の任意の位置に形成できる。このとき、内部配線パターン 802 b をランド形状部のみとすると、半導体 803 や回路部品 806 を内蔵できる領域が最大となり、より高密度な部品内蔵モジュールを提供できる。ここで、「ランド形状部」とは、上下のインナービア 804 のみと接続され、横方向には相互に絶縁された配線パターンを言う。

【0098】（実施の形態 9）実施の形態 9 は、部品内蔵モジュールの更に他の例である。図 9 は、本実施の形態における部品内蔵モジュールの断面図である。同図において、実施の形態 1～8 と同一名称の要素は、実施の形態 1～8 と同様の構成であって、同一の製造法により製造され、特に説明のない限り同様の機能を持つ。

【0099】図 9 において、部品内蔵モジュールは、電気絶縁層 901、配線パターン 902 a、902 b、電子部品としての半導体 903、インナービア 904、及び電子部品としての回路部品 906 を有している。半導体 903 はバンプ 905 により内部配線パターン 902 b と、また、回路部品 906 は半田 907 により配線パターン 902 a と接続されている。

【0100】本実施の形態においては、半導体 903 を実装している配線パターンは、電気絶縁層 901 の内部に形成された内部配線パターン 902 b である。回路部品 906 も内部配線パターン 902 b に実装することが可能である。半導体 903 及び回路部品 906 のような電子部品を内部配線パターン 902 b にも実装することで、最短距離の回路形成が可能となり、モジュールの小



型化につながる。

【0101】本実施の形態のように、内部配線パターン902bに電子部品を実装するためには、例えば、実施の形態2に示した製造方法（図2A～図2G）において、図2Gで得た部品内蔵モジュールの下面に、図2Bに示した電気絶縁層201と、図2Cに示した配線パターンを形成したキャリア207とを積層すればよい。

【0102】あるいは、表裏に配線パターンが形成され、両配線パターンをインナービアで接続した電気絶縁層の一方の配線パターン上に電子部品を実装したものを、図2Eに示した実装体の代わりに用いて実施の形態2と同様の工程を経て、または、図3Cに示した実装体の代わりに用いて実施の形態3と同様の工程を経て、製造することができる。

【0103】（実施の形態10）実施の形態10は、部品内蔵モジュールの更に他の例である。図10は、本実施の形態における部品内蔵モジュールの断面図である。同図において、実施の形態1～9と同一名称の要素は、実施の形態1～9と同様の構成であって、同一の製造法により製造され、特に説明のない限り同様の機能を持つ。

【0104】図10において、部品内蔵モジュールは、電気絶縁層1001、配線パターン（第一配線パターン）1002a、1002b、電子部品としての半導体1003、インナービア（第一インナービア）1004、電子部品としての回路部品1006、及び、配線板1008を有している。配線板1008は、少なくとも2層以上の配線パターン（第二配線パターン）1002cと、異なる層の第二配線パターン1002c間を接続するスルーホール1009とを有する。半導体1003は bumps 1005 により、また回路部品1006は半田1007により、それぞれ配線板1008の表層の配線パターン1002cと接続されている。

【0105】本実施の形態においては、半導体1003、回路部品1006を実装している配線パターン1002cは、配線板1008に形成された配線パターン1002cである。配線板1008の外表面に半導体1003や回路部品1006などの電子部品を実装した既存のモジュール構造体を用い、該半導体1003や該回路部品1006を電気絶縁層1001内に埋設し、該電気絶縁層1001の表面に形成した配線パターン1002aに、更に半導体1003や回路部品1006などの電子部品を実装することができる。これにより、モジュールの高密度実装化が可能となる。

【0106】本実施の形態の部品内蔵モジュールは、配線板1008の表面の配線パターン1002c上に電子部品を実装したものを、図2Eに示した実装体の代わりに用いて実施の形態2と同様の工程を経て、あるいは、図3Cに示した実装体の代わりに用いて実施の形態3と同様の工程を経て、製造することができる。

【0107】

【実施例】以下に、本発明の具体的な実施例を説明する。

【0108】（実施例1）本発明の部品内蔵モジュールの信頼性の、インナービアのアスペクト比（ビア径に対するビア高さの比）に対する依存性について、その検討結果の一例を説明する。

【0109】本実施例では、表1に示すビア径、ビア高さ、内部配線層数で部品内蔵モジュールを作製した。

【0110】この実施例では、フィラーにシリカ、絶縁性樹脂としてエポキシ樹脂を用いたシート状の電気絶縁層を用いた。電気絶縁層の厚さは、内部配線層数=0の場合は800 $\mu$ m、内部配線層数=1の場合は400 $\mu$ mとし、いずれの場合も合計厚みは800 $\mu$ mとした。

【0111】最初に未硬化状態（Bステージ）の電気絶縁層にパンチャーを用いて、複数のビアを形成した。ビア径は表1に示すとおりである。ビア形成後、ビアペースト（銀粒子、エポキシフェノール樹脂、及び硬化剤の混合組成物）を充填した。

【0112】並行して、キャリア（フィルム）上に形成した銅箔を露光・現像・エッチングすることにより、配線パターンを形成した。形成した配線パターンに半導体ベアチップ（厚み：500 $\mu$ m）を半田パンプを用いて実装した。

【0113】半導体実装後、配線パターン（半導体実装済み）／電気絶縁層／配線パターン（半導体の実装なし）の順に位置あわせして重ね、6MNの圧力で加圧しながら170℃の温度で1時間加熱することによって電気絶縁層を硬化させた。同時にビアペーストも硬化し、配線パターン間（内部配線層を形成した場合には、配線パターンと内部配線パターンとの間）が電氣的に接続された。内部配線層を形成した試料では、図2Dに示したのと同様の、両面に配線パターンを形成した電気絶縁層を、上記の電気絶縁層と配線パターンとの間に介在させて積層した。

【0114】電気絶縁層の硬化後、キャリアを剥離し部品内蔵モジュールを得た。

【0115】本実施例によって作製した部品内蔵モジュールの信頼性を評価するため、半田リフロー試験を行った。半田リフロー試験は、ベルト式リフロー試験機を用い、最高温度が260℃で10秒間保持した後に常温まで冷却する工程からなるサイクルを10回繰り返すことで行った。半田リフロー試験前後で各インナービアの抵抗値を測定し、試験後の抵抗値が試験前の抵抗値に比べて50%以上変化したインナービアを「不良」と判断し、このような不良のインナービアの割合をビア不良率とした。その結果を表1に示す。

【0116】

【表1】

試料番号	1	2	3	4	5	6	7	8
ビア径(μm)	100	100	200	200	400	400	800	800
ビア高さ(μm)	800	400	800	400	800	400	800	400
内部配線層数	0	1	0	1	0	1	0	1
ビア不良率(%)	88	24	62	3.1	3.7	0.1	0.2	0.0

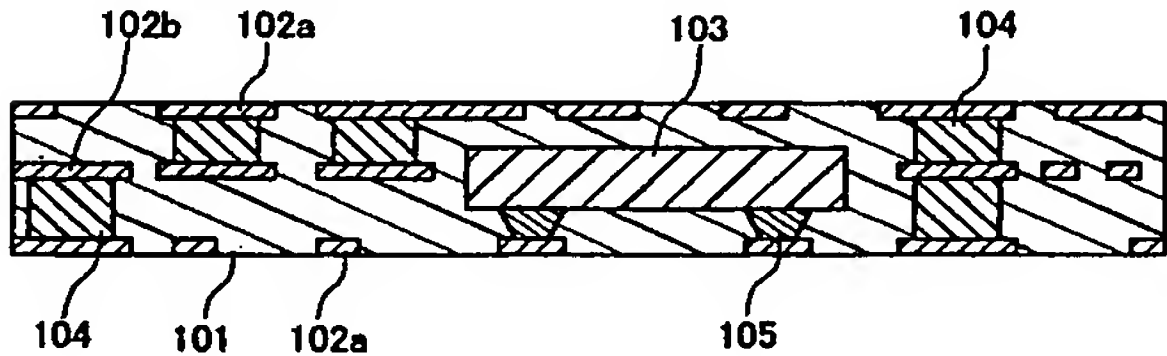
【0117】この表1に示すとおり、ビア径に対するビア高さの比が部品内蔵モジュールの信頼性に影響を与えており、内部配線層を用いることで、同じビア径であっても高い信頼性が得られることがわかった。

【0118】  
【発明の効果】本発明によれば、信頼性が高く、高密度実装可能な部品内蔵モジュールを提供できる。

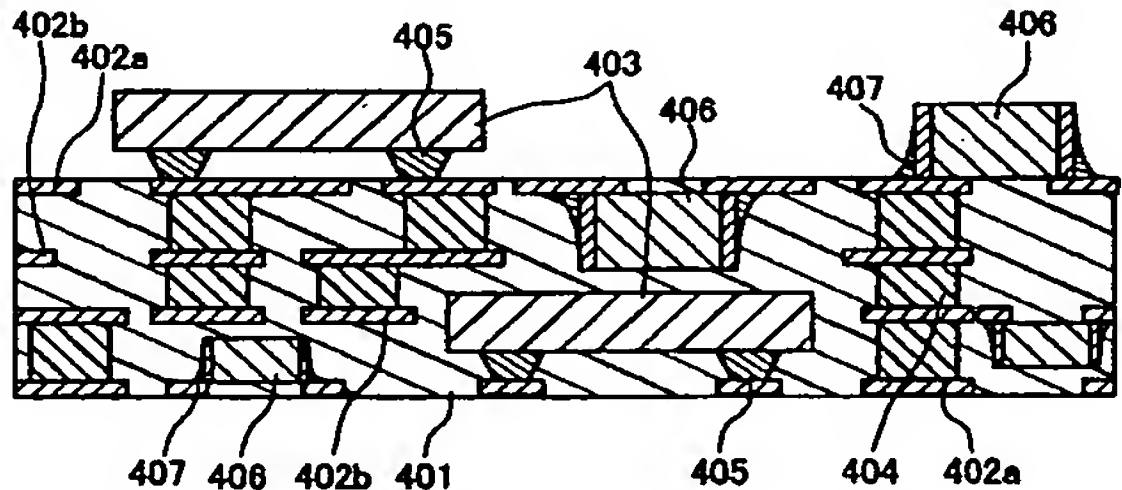
- 【図面の簡単な説明】  
【図1】 本発明の実施の形態1における部品内蔵モジュールの断面図  
【図2】 本発明の実施の形態2における部品内蔵モジュールの製造方法を工程順に示した断面図  
【図3】 本発明の実施の形態3における部品内蔵モジュールの製造方法を工程順に示した断面図  
【図4】 本発明の実施の形態4における部品内蔵モジュールの断面図  
【図5】 本発明の実施の形態5における部品内蔵モジュールの断面図  
【図6】 本発明の実施の形態6における部品内蔵モジュールの製造方法を工程順に示した断面図  
【図7】 本発明の実施の形態7における部品内蔵モジュールの製造方法を工程順に示した断面図  
【図8】 本発明の実施の形態8における部品内蔵モジュールの断面図  
【図9】 本発明の実施の形態9における部品内蔵モジュールの断面図  
【図10】 本発明の実施の形態10における部品内蔵

- モジュールの断面図  
【符号の説明】  
101、201、301、401、501、601、701、801、901、1001 電気絶縁層  
102a、102b、202a、202b、302a、302b、402a、402b、502a、502b、602a、602b、702a、702b、802a、802b、902a、902b、1002a、1002b、1002c 配線パターン  
103、203、303、403、503、603、703、803、903、1003 半導体  
104、204、304、404、504、604、704、804、904、1004 ビアペースト（インナービア）  
105、205、405、505、605、705、805、905、1005 バンプ  
305 導電性接着剤  
206、306、606、708 ビア  
207、307、607、709 キャリア  
406、506、608、706、806、906、1006 回路部品  
407、507、609、707、807、907、1007 半田  
308、612、712 空孔  
508、610、1008 配線板  
509、611、1009 スルーホール  
710、808 封止樹脂

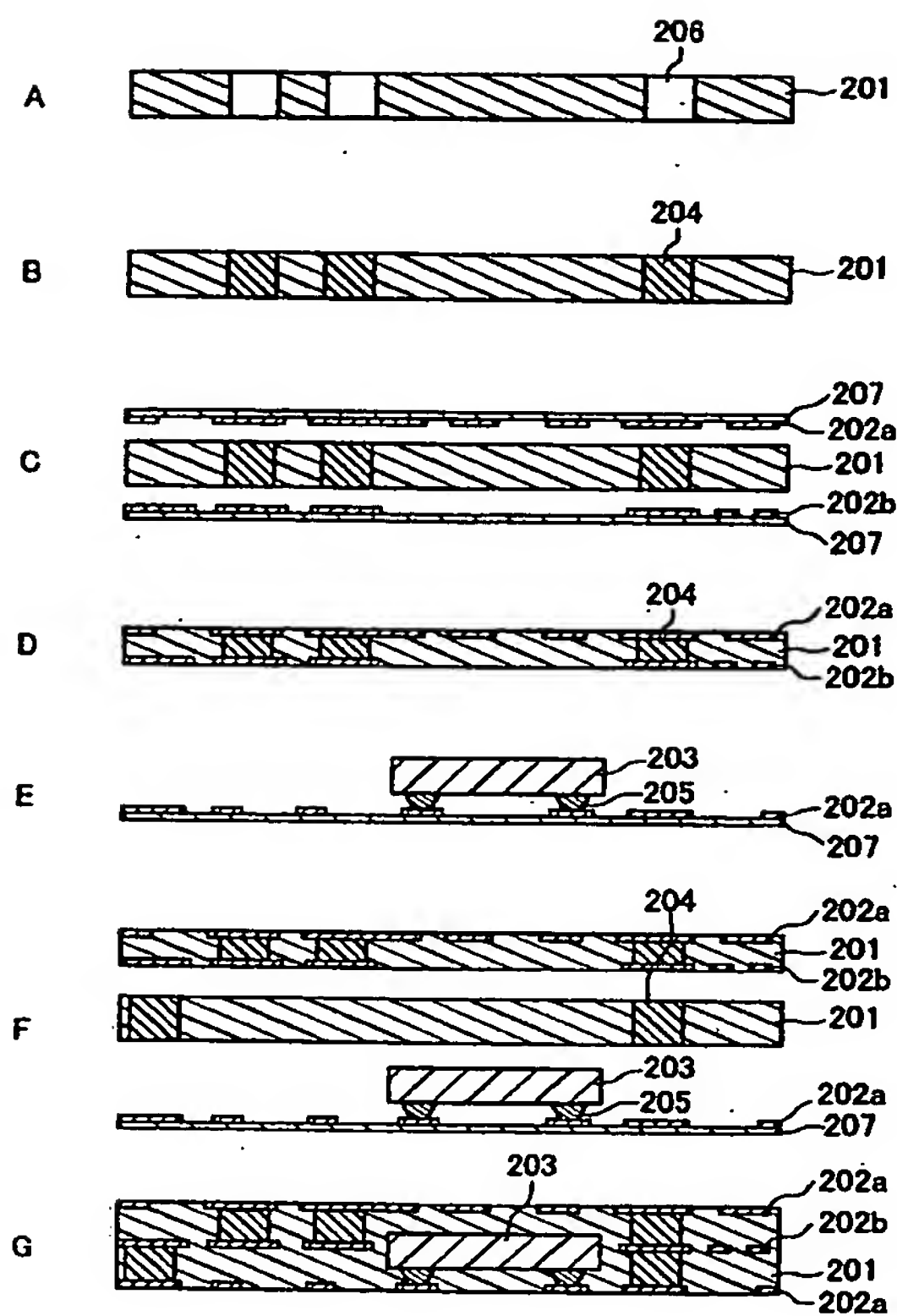
【図1】



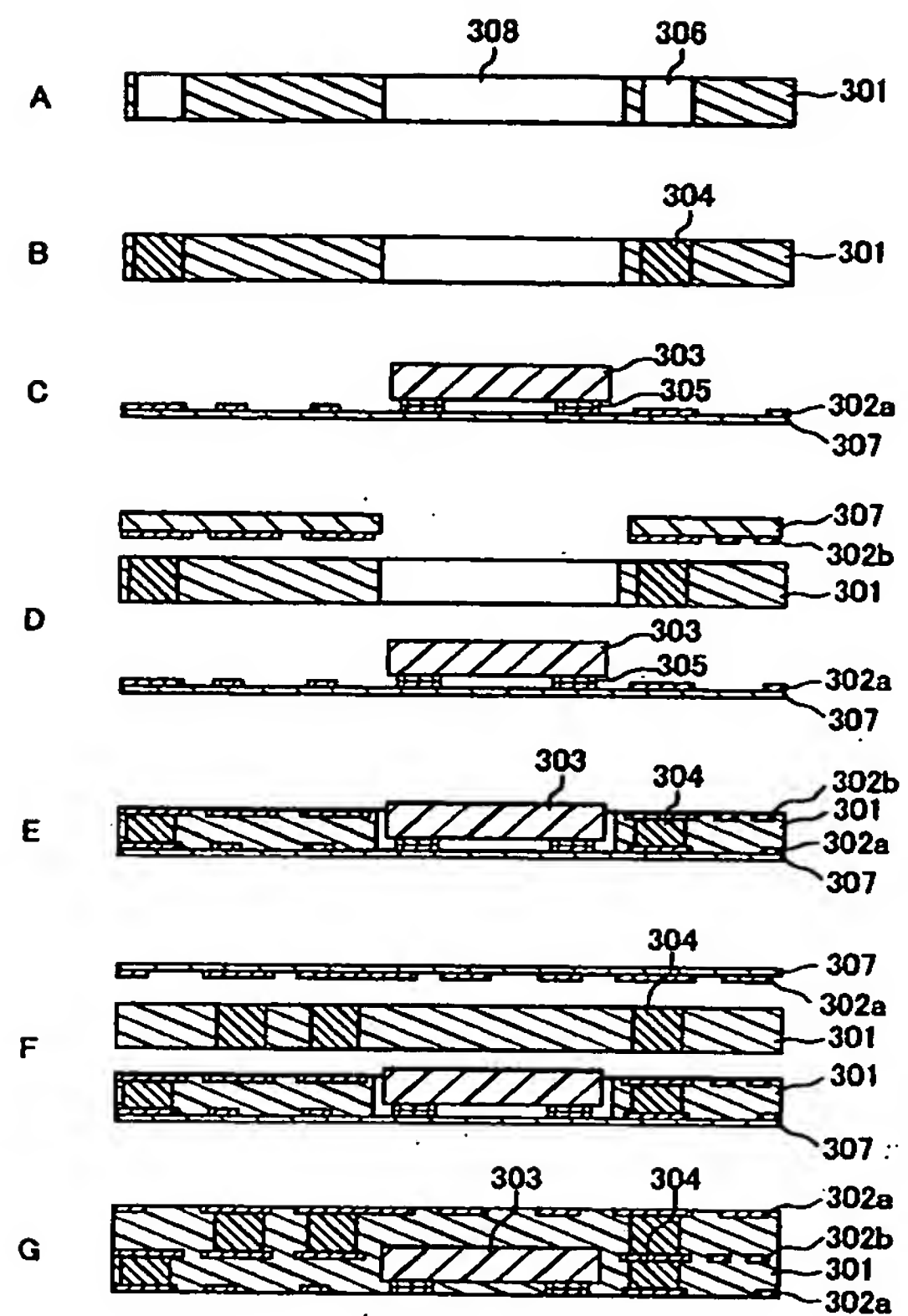
【図4】



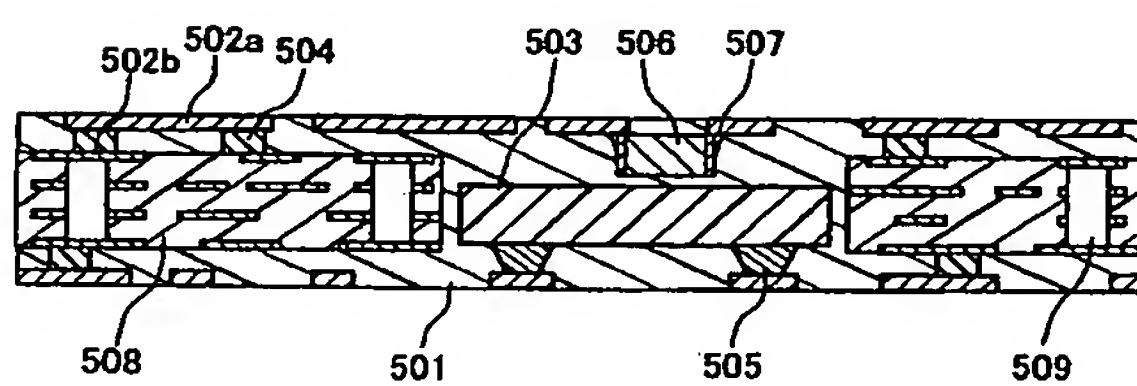
【図 2】



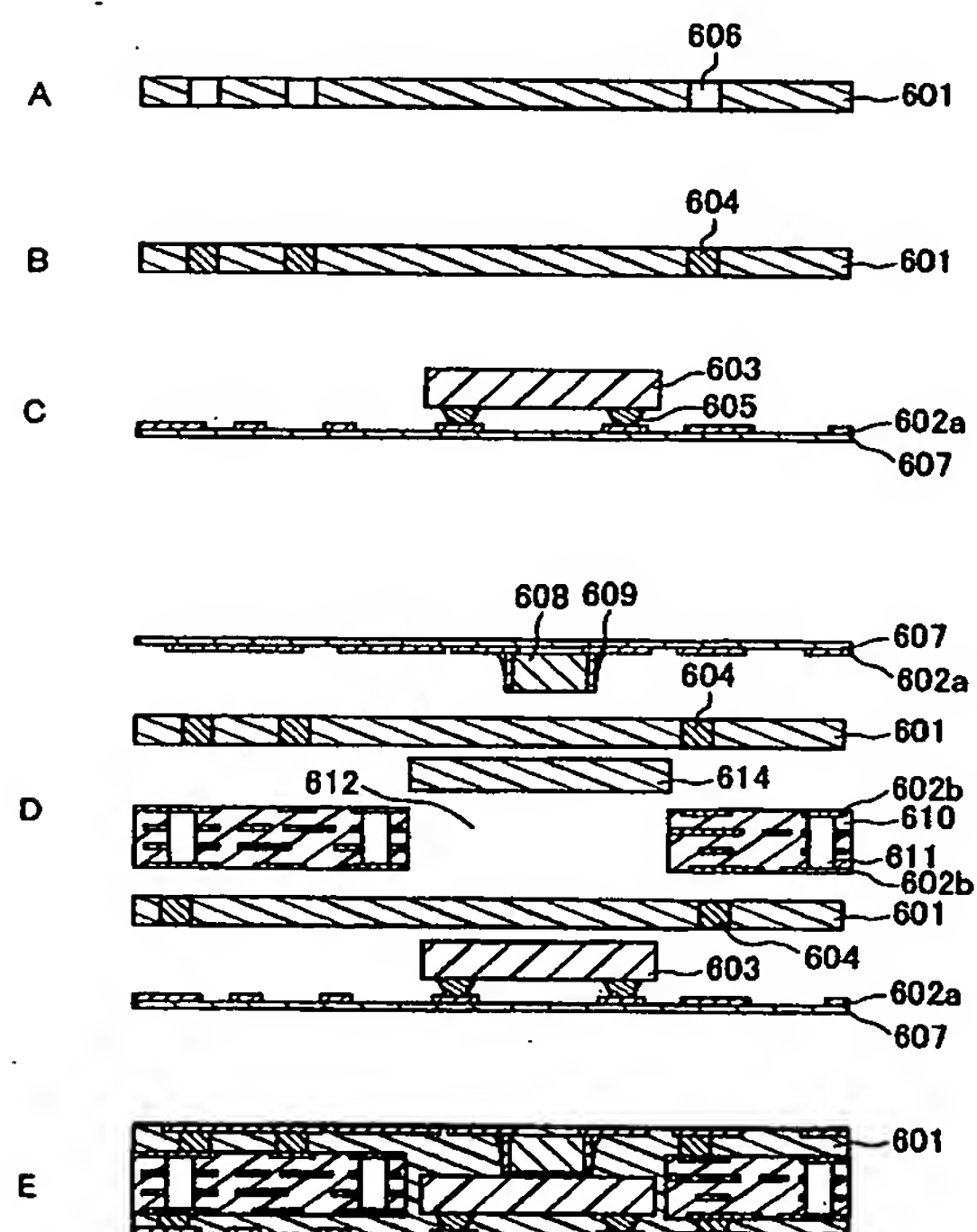
【図 3】



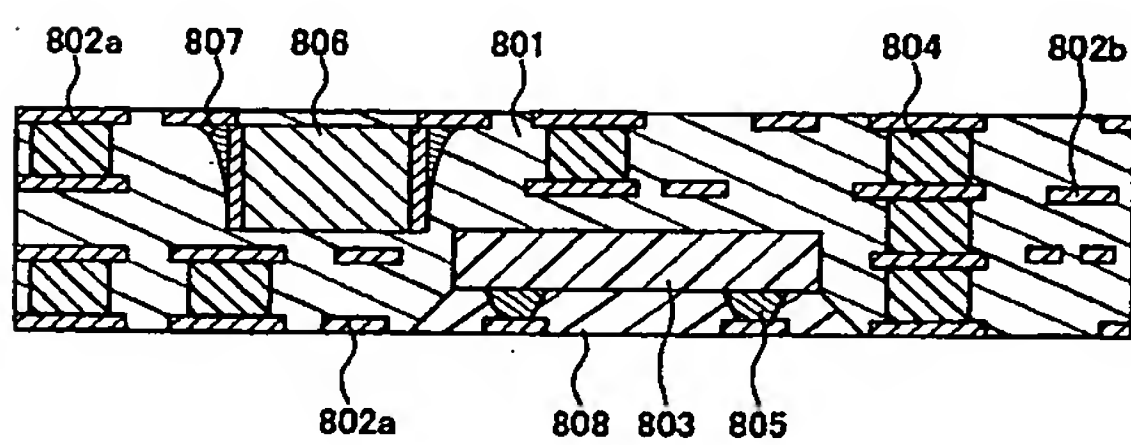
【図 5】



【図 6】

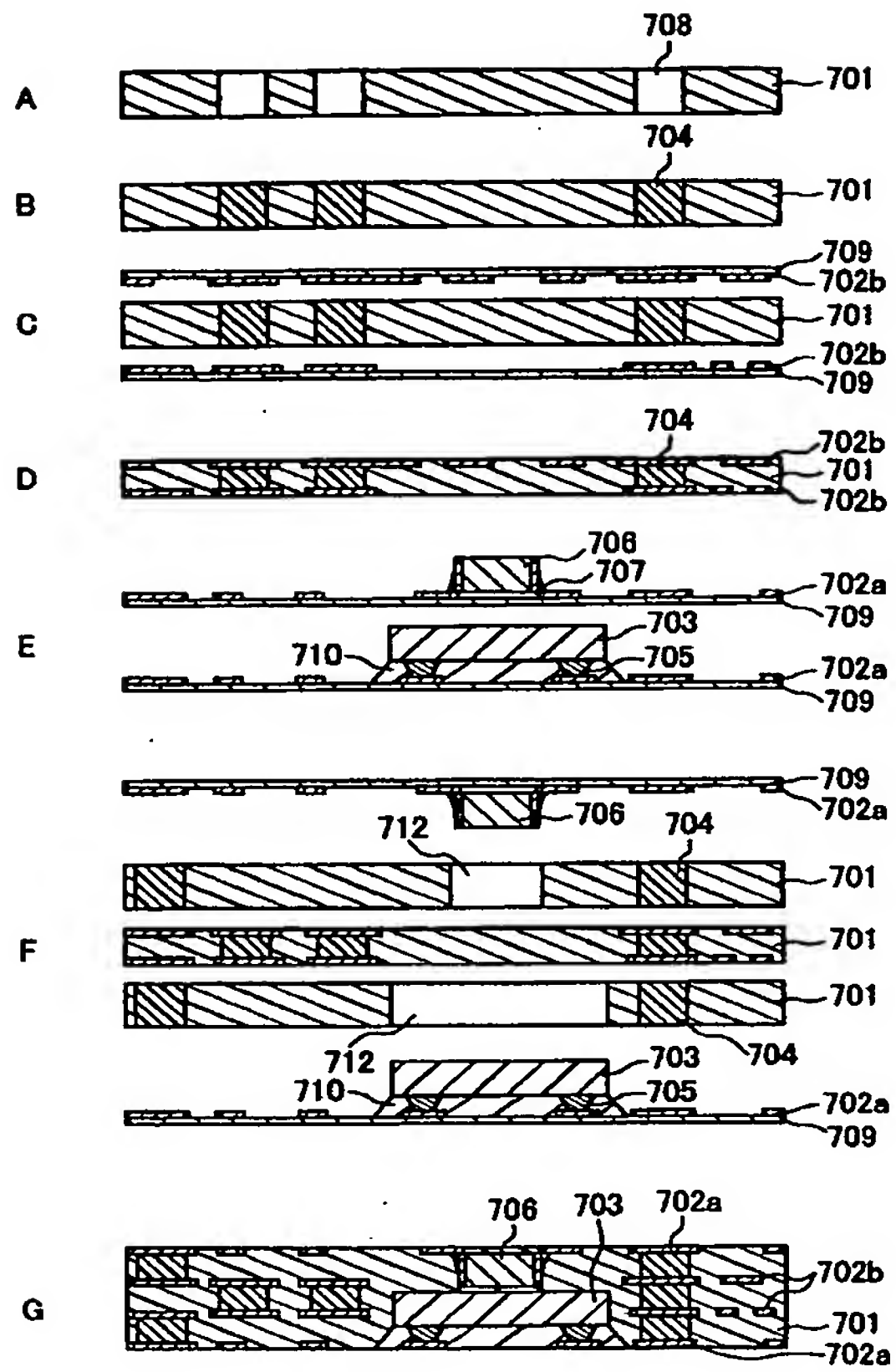


【図 8】

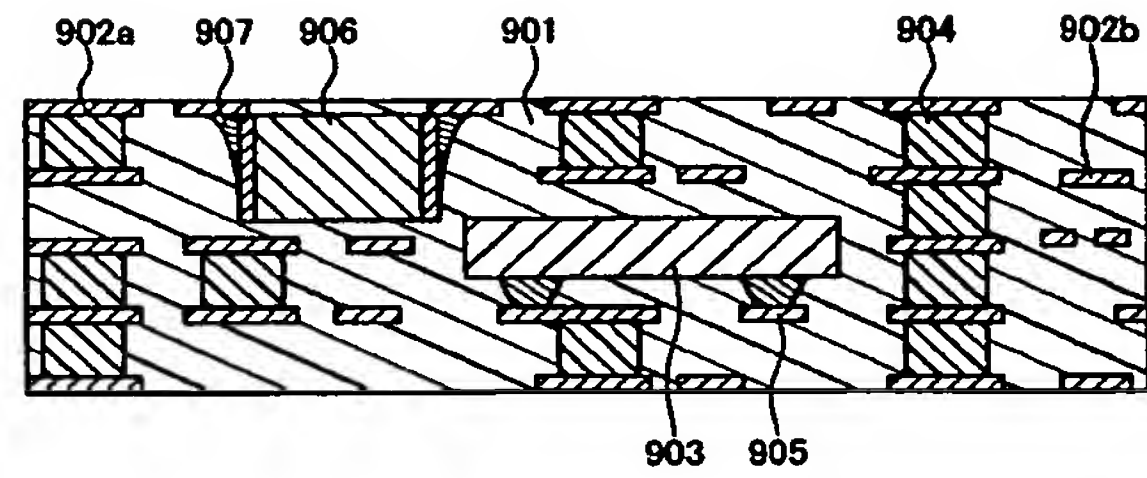




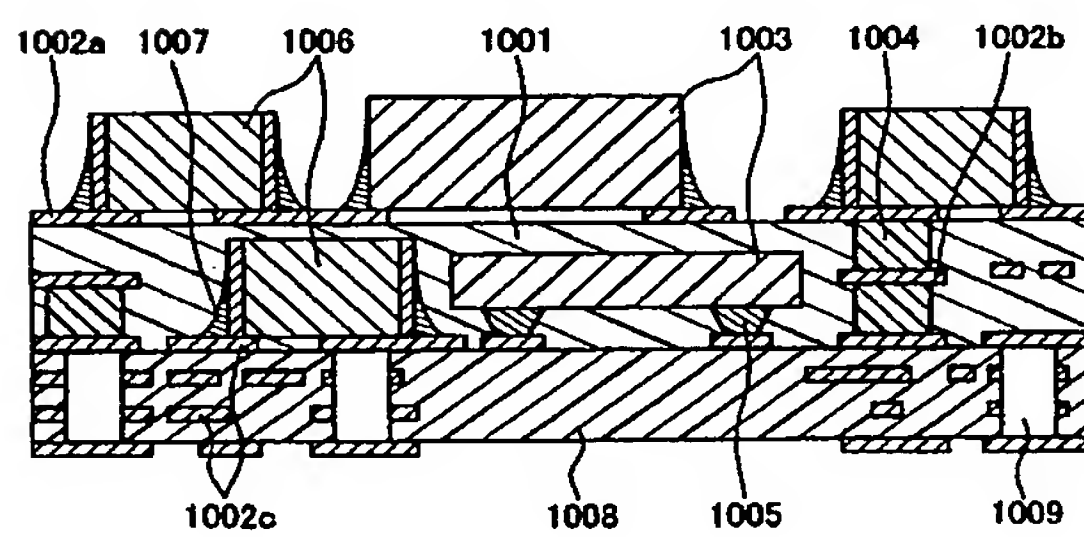
【図7】



【図9】



【図10】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

H01L 23/12

識別記号

F I

H01L 23/12

テーマコード(参考)

N

B

(72)発明者 小松 慎五

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 中谷 誠一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

F ターム(参考) 5E346 AA12 AA15 AA43 CC08 CC09  
CC13 CC14 CC32 CC37 CC38  
CC39 DD02 DD12 DD32 DD34  
DD44 DD45 EE32 EE33 FF18  
GG15 GG18 GG19 GG22 GG25  
GG28 HH25

**This Page Blank (uspto)**